

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-177146

(43)Date of publication of application : 29.06.2001

(51)Int.Cl.

H01L 33/00

(21)Application number : 11-363374

(71)Applicant : MITSUBISHI CABLE IND LTD

(22)Date of filing : 21.12.1999

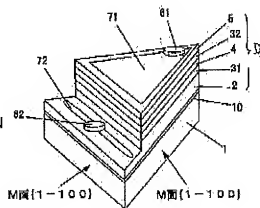
(72)Inventor : TADATOMO KAZUYUKI  
OKAGAWA HIROAKI  
KOTO MASAHIRO  
OUCHI YOICHIRO

## (54) TRIANGULAR SHAPE SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD THEREFOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor element capable of easily isolating an element from an epitaxial wafer in high yield and having no maldistribution of a injected carrier amount as fast as possible.

SOLUTION: The triangular shape semiconductor element comprises a laminated structure for sequentially growing an Si-doped n-type GaN layer 2 through a GaN or AlN buffer layer 1 on a sapphire (c) surface substrate 1, an n-type AlGaIn clad layer 31, an InGaIn MQW light emitting layer 4, an Mg-doped p-type AlGaIn clad layer 32, and a p-type GaIn contact layer 5. In this case, the profile shape of the element becomes a triangular shape surrounded at its sidewall by and equivalent M surface ( $\{1-100\}$  surface). Since such an element structure has an equivalent surface of the sidewall surface, hence has entirely equal crackableness and a sectional shape. Thus, the isolation of the element can be facilitated at a high quality level. As a result, the yield of the product can be improved.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-177146

(P2001-177146A)

(43) 公開日 平成13年6月29日 (2001.6.29)

(51) Int.Cl.

H 0 1 L 33/00

識別記号

F I

H 0 1 L 33/00

データベース(参考)

C 5 F 0 4 1

審査請求 未請求 請求項の数 7 O L (全 5 頁)

(21) 出願番号 特願平11-363374

(22) 出願日 平成11年12月21日 (1999.12.21)

(71) 出願人 000003263

三菱電線工業株式会社

兵庫県尼崎市東向島西之町 8 番地

(72) 発明者 只友 一行

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線  
工業株式会社伊丹製作所内

(72) 発明者 岡川 広明

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線  
工業株式会社伊丹製作所内

(72) 発明者 潮東 雅弘

兵庫県伊丹市池尻 4 丁目 3 番地 三菱電線  
工業株式会社伊丹製作所内

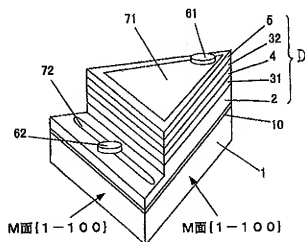
最終頁に続く

(54) 【発明の名称】 三角形の半導体素子及びその製法

(57) 【要約】

【課題】 エピタキシャルウェハからの素子分離を容易に且つ歩留まりよく行うことができ、さらにはキャリア注入量の偏在が可及的に生ずることがない半導体素子を提供すること。

【解決手段】 サファイア c 面基板 1 上に、Ga N または Al N バッファ層 10 を介して Si ドープの n 型 Ga N 層 2、n 型 Al Ga N クラッド層 31、In Ga N 系の MQW 発光層 4、Mg ドープの p 型 Al Ga N クラッド層 32、p 型 Ga N コンタクト層 5 を順次成長した積層構造を備え、素子の外形形状が、その側壁が等価な M 面 ( { 1 - 1 0 0 } 面 ) で囲まれた三角形とする。このような素子構造であれば、側壁面が等価な面であるから、全く同一の割れやすさ、断面形状をしており、容易に且つ高品位に素子分離が行える結果、製品の歩留まりの向上を達成できる。



## 【特許請求の範囲】

【請求項1】 六方晶系結晶の基板と、その上に形成された六方晶系化合物半導体とからなる三角形の半導体素子であって、前記六方晶系化合物半導体の側周囲の面が〈1-100〉面で構成されていることを特徴とする三角形の半導体素子。

【請求項2】 六方晶系結晶の基板と、その上に形成された六方晶系化合物半導体とからなる三角形の半導体素子であって、前記六方晶系結晶基板の側周囲の面が

〈1-100〉面で構成されていることを特徴とする三角形の半導体素子。

【請求項3】 上記六方晶系化合物半導体が、GaNを主な構成材料としていることを特徴とする請求項1または2記載の半導体素子。

【請求項4】 側周囲の面が〈1-100〉面で構成されている三角形で厚肉のサファイア基板に、薄肉のGa-N系化合物半導体層が成長されている請求項2記載の三角形の半導体素子。

【請求項5】 六方晶系化合物半導体層が少なくとも導電型の異なる2層以上の半導体層を有し、該三角形の半導体素子に付与する電極パターンを、第1導電型の半導体層の表面に形成される透明電極と、この透明電極上であって三角形の一つの頂点近傍に配置される第1のボンディング電極と、第1導電型の半導体層の一部切り欠きにより露出された第2導電型の半導体層の表面であって、前記第1のボンディング電極が配置された頂点と対向する三角形の辺に近接させて配置された第2のボンディング電極とから構成することを特徴とする請求項1または2に記載の半導体素子。

【請求項6】 上記三角形の半導体素子の各コーナー部に、曲面が施与されていることを特徴とする請求項1～5いずれかに記載の半導体素子。

【請求項7】 六方晶系結晶の基板の上に六方晶系化合物半導体を成長させて積層体を形成し、該積層体の前記基板側表面において基板結晶の〈1-100〉方向にあたる三方向にスクライプ傷を入れ、若しくは半導体側表面において半導体結晶の〈1-100〉方向にあたる三方向にスクライプ傷を入れ、該スクライプ傷に沿って分割することで前記積層体から三角形の半導体素子を得ることを特徴とする半導体素子の製法。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】 本発明は、六方晶系化合物半導体層を備える三角形の半導体素子、例えば半導体発光素子及び受光素子に関するものである。

## 【0002】

【従来の技術】 近年、Ga-N系化合物半導体からなる発光素子や受光素子の開発が盛んに行われている。一般的に素子形状としては立方体の形状で作られ、素子の上から見た形状は正方形又は長方形の矩形形状とされてい

る。ところで、Ga-N系化合物半導体は、サファイア基板上に結晶成長される場合が多いが、サファイアもGa-Nも硬い材料であるので、ダイシングのみで素子を完全に切り出すことは難しい。そのため、部分的なダイシング又はスクライプにより傷を与え、この傷を端点として割ることによって素子を分離するのが一般的である。

## 【0003】

【発明が解決しようとする課題】 しかしながら、Ga-Nなどの六方晶系の化合物半導体は、その結晶の基本構造からして互いに直交する面の両方、即ち矩形の素子の全ての面を高品位に割り出すことは困難である。例えば、サファイア基板ではM面(〈1-100〉面)が割れやすいが、直行するA面(〈1-100〉面)は割れにくいという特性があり、M面であれば容易に且つ高品位に分割できるが、A面であるとスクライピングでは綺麗に分割できないという問題がある。従って、六方晶系の化合物半導体にて矩形の半導体素子を作製しようとする場合、高品位分割ができない面を不可避的に具備せねばならず、エピタキシャル成長基板から素子をスクライプして分離する際に不良品が発生する可能性が大きくなるという問題があった。

【0004】 また、例えばサファイア等の絶縁性基板上に半導体層を成長させた矩形の半導体発光素子の場合、その電極としては、矩形素子の対向する面の部分にボンディング用の電極をそれぞれ形成するのが一般的である(実用新案登録3027676号公報)。しかし、このような素子構造並びに電極構造であると、ボンディング電極が配置されていない残りの角付近の領域に注入されるキャリア量が少なくなるといった問題がある。

【0005】 従って本発明は、エピタキシャルウェハからの素子分離を容易に且つ歩留まりよく行うことができ、さらにはキャリア注入量の偏在が可及的に生ずることがない半導体素子を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明の半導体素子は、六方晶系結晶の基板と、その上に形成された六方晶系化合物半導体とからなる三角形の半導体素子であって、前記六方晶系化合物半導体の側周囲の面が〈1-100〉面で構成されている、若しくは、前記六方晶系結晶基板の側周囲の面が〈1-100〉面で構成されていることを特徴とするものである。

【0007】 上記半導体が、Ga-Nを主な構成材料としている場合に本発明は特に好適である。具体的には、〈1-100〉方向と等価な三方向の切断面を備える厚肉のサファイア基板に、薄肉のGa-N系化合物半導体層が成長されてなる三角形の半導体素子が好適である。

【0008】 より具体的な本発明の半導体素子は、六方晶系化合物半導体層が少なくとも導電型の異なる2層以上の半導体層を有し、該三角形の半導体素子に付与する電極パターンを、第1導電型の半導体層の表面に形成

される透明電極と、この透明電極上であって三角形の一つの頂点近傍に配置される第1のボンディング電極と、第1導電型の半導体層の一部切り欠きにより表出された第2導電型の半導体層の表面であって、前記第1のボンディング電極が配置された頂点と対向する三角形の辺に近接させて配置された第2のボンディング電極とから構成することを特徴とするものである。

【0009】上記構成において、三角形の半導体素子の各コーナー部に、曲面が施与するようにすることを望ましい。

【0010】また、本発明にかかる半導体素子の製法は、六方晶系結晶の基板上に六方晶系化合物半導体を成長させて積層体を形成し、該積層体の前記基板側表面において基板結晶の<11-20>方向にあたる三方向にスクライプ傷を入れ、若しくは半導体側表面において半導体結晶の<11-20>方向にあたる三方向にスクライプ傷を入れ、該スクライプ傷に沿って分割することで前記積層体から三角形の半導体素子を得ることを特徴とするものである。

【0011】

【作用】上記本発明の構成によれば、割れやすい面（例えばサファイアのM面）で周囲が形成された、三角形の形状の素子構造であるので、素子の側壁が高品位に形成された素子を提供することができる。即ち、エピタキシャル成長基板からの素子分離の際に、スクライプの傷を入れるだけで簡単に且つ高品質の品質が良好な状態で分割することができる。この結果、光取り出し効率も向上するという付随的作用も奏する。

【0012】また、請求項5に示す態様でボンディング電極を配置することによって、三角形の一つの頂点から対向する辺へ電流が流れる様になるので、チップ全面にキャリア注入が可能になり、矩形素子の場合に問題となるキャリア注入の偏在の問題を解消できる。

【0013】さらに本発明の半導体素子の製法によれば、六方晶系結晶基板若しくは化合物半導体は120°互いにずれた三方向の<11-20>方向線有するが、これに沿ってスクライプ傷を入れて割ることで、若干の面乱れが発生する可能性はあるものの、割られてできた面をばば{1-100}面とすることができ、高品質な面で囲まれた三角形の半導体素子を製造することができる。

【0014】

【発明の実施の態様】以下発明の実施態様につき詳細に説明する。図1は一般的なGaN系LED構造の一例を示した図である。図にしたがって説明すると、サファイアc面基板1上、低温成長したGaNまたはAlNバッファ層10を介してSiドープのn型GaN層2、n型AlGaNクラッド層31、InGaN系のMQW発光層4、Mgドープのp型AlGaNクラッド層32、p型GaNコンタクト層5を順次成長して素子構造の

ピタキシャル成長基板（エピ基板）が形成される。この時、サファイア基板1の面方位とGaN系デバイス構造部Dの面方位は30度ずれることが知られている。すなわち、サファイア基板1のM面、A面がGaN系デバイス構造部DのA面、M面となる。

【0015】通常のフォトリソグラフィ技術、RIE技術、電極形成技術を使って素子化したあと、サファイア面側からダイヤモンドのポイントでスクライプ（け）くし、機械的に曲げ応力を加えてブレイク（破断）して素子分離する。この時、サファイア基板の方が圧的に厚いために、サファイア基板の割れ方に素子分離の仕上がりが殆ど左右される。図1の様で形状にチップを切り出す場合、サファイアA面（{1-1-20}面）とM面（{1-100}面）で側面が囲まれた形状となる。この時、M面の方が比較的平坦な面となり、A面はがたがたした荒れた面となる。一方、M面はサファイアのへき開面であるR面（{1-102}面）が発生しやすい性質も合わせ持ち、特段の注意が必要となる。

【0016】すなわち、直交する面の性質が大きく異なるために、素子分離工程に特別な注意が必要であり、得られたチップの形状も異方性が強い。このため、異常な割れ方をする場合が多発し、製品の歩留まりを低下させる要因となっている。

【0017】これに対し、図2は本発明にかかるGaN系LED構造の一例を示し、サファイアc面基板1上に、低温成長したGaNまたはAlNバッファ層10を介してSiドープのn型GaN層2、n型AlGaNクラッド層31、InGaN系のMQW発光層4、Mgドープのp型AlGaNクラッド層32、p型GaNコンタクト層5を順次成長した積層構造を備えている点は上記と同様であるが、素子の外形形状が、その側壁が等価なM面（{1-100}面）で囲まれた三角形をしている点で相違している。このような素子構造であれば、側壁面が等価な面であるから、全く同一の割れやすさ、断面形状をしており、容易に且つ高品位に素子分離が行える結果、製品の歩留まりの向上を達成できる。なお、本発明において{1-100}面という場合、その面が完全無欠に{1-100}面であることのみを指すのではなく、スクライプの際や素子分割の際等に不可避的に生じてしまうような若干の誤差を許容するものである。

【0018】上記三角形のGaN系LEDに付与する電極パターンは、図示するように、p型GaNコンタクト層5の表面に形成される透明電極71と、この透明電極71上であって三角形の一つの頂点近傍に配置される第1のボンディング電極61と、p型半導体層の一部切り欠きにより表出されたn型GaN層2の表面であって、前記第1のボンディング電極61が配置された頂点と対向する三角形の辺に近接させて配置された第2のボンディング電極62と、第2のボンディング電極62から延伸される帯状電極72とから構成している。

【0019】取出電極の位置関係をこのように配置することにより、三角形に頂点に形成された第1のボンディング電極61から、第2のボンディング電極62が形成された辺までの距離が略等しくなり、この結果均一な電流注入が可能とすることができ、発光素子の場合、外部量子効率を方形の場合と比較すると、約15%向上することが可能である。

【0020】本発明で用いる六方晶系化合物半導体としては、例えばGaN、AlGaN、InGaAlN、InGaInNなどが例示できる。目的とする半導体素子が発光素子である場合、基板側からGaNバッファ層、Siドープn-GaN層、Siドープn-AlGaN層、InGaInN系多層量子井戸構造層、Mgドープp-AlGaN層、Mgドープp-GaN層からなる多層構造が例示できる。

【0021】また本発明で用いる六方晶系の結晶基板としては、サファイア基板、SiC基板、GaN基板、ZnOなどの各種六方晶系の結晶基板を用いることができるが、この基板の上に成長させる六方晶系化合物半導体の品質を向上させるためには、サファイア基板、SiC基板、GaN基板を用いることが好ましい。

【0022】本発明の代表的な実施例として、上述したように、サファイア基板上にGaN系化合物半導体からなる発光層を成長させたLEDが挙げられる。この場合、サファイア基板の面方位とGaN系化合物半導体の面方位は30度ずれることになるが、一般的にLED等のデバイスは、発光部等を構成するGaN系化合物半導体層は10μm以下程度の薄肉であり、これに対しサファイア基板は50～500μm程度の厚肉である。従ってこのような場合においては、厚肉のサファイア基板の切断面を、ほぼ<1-100>方向と等価な3方向の切断面を備えるように素子分離すれば、容易且つ高品位な素子分離が行い得る。

【0023】本発明の三角形の半導体素子は、エピタキシャル成長基板から各素子が三角形を呈するよう、しかもその分離面がほぼ<1-100>面となるように素子分離をすることを得られる。このような分離の方法としては、エピタキシャル成長基板の前記基板側表面において基板結晶の<1-20>方向にあたる三方向にスクライブ傷を入れ、該スクライブ傷に沿ってナイフエッジで機械的な力をかける等して分割する方法が挙げられる。

【0024】基板が半導体層より充分厚い通常の場合は上記の方法で良い。例えば、GaN系半導体発光素子の場合は80μm程度の厚さのサファイア基板に数μm厚さのGaN系化合物半導体層が積層された態様となるが、この場合サファイア基板の表面にスクライブ傷を入れて割れば、サファイアの<1-100>面とGaNの<1-100>面との間には30°のズレが存在しているものの、厚さによる優位性により全体がサファイアの

<1-100>面で分割されることになる。一方、サファイア基板が40μm程度の厚さで、GaN系化合物半導体層の厚さが20μm程度の特殊な素子においては、サファイア基板の表面側から割るとGaN層が機械強度的に優勢となって奇麗な分割面が得られない可能性があるため、このような場合は、半導体側表面において半導体結晶の<11-20>方向にあたる三方向にスクライブ傷を入れて割るようにしてもよい。なお、サファイアに代えてSiC基板やGaN基板を用いる場合は、上記の<1-100>面のズレは生じないため、基板側、半導体側のいずれから割っても良い。

【0025】ボンディング電極61、62の配置位置は、一方が三角形の頂点に位置し、他方が当該頂点と対向する辺に沿った任意の位置にあれば良い。例えば図2においては、第2のボンディング電極62を対向辺の中央に配置しているが、これを第1のボンディング電極61が配置されていない残りの2つの頂点のいずれか近傍に配置するようにしても良い。また、第2のボンディング電極62を頂点に配置し、第1のボンディング電極61をその対向辺の中央付近に配置してもよい。

【0026】透明電極71は実質的に透明な導電性薄膜で構成された電極が用いられるが、この他に不透明ではあるが働型に電極パターンを設けることで実質的に透明性を担保した電極であっても良い。また、帯状電極72は電流注入効率をより向上させたい場合に必要に応じて設けられ良い。

【0027】なお、GaN基板上にGaN系のデバイス構造を形成した場合、基板とデバイス構造部の結晶方位が一致しているため、素子断面全部が等価なM面(<1-100>面)で三方が開まれることになりより好ましい。また、導電性の基板であるため、第1のボンディング電極61は三角形の頂点の隅、あるいは中央付近とどこにでも設けることができる。

【0028】ところで、本発明にあっては半導体素子を三角形とすると、そのコーナー部は必ずと矩形素子に比べて鋭利となり機械的破損を受け易くなりがちである。そこで、コーナー部には面取りの曲面を施すことが望ましい。この曲面の形成方法としては、エッチング加工用のマスク形状を曲面に施す等の方法を採用することができる。

【0029】

【実施例】以下具体的な実施例につき説明する。本実施例では図2に示した構造のサファイア基板上にデバイス構造を形成した例を示す。使用した結晶成長装置は通常のMOVPE装置である。まず、サファイアc面基板をMOVPE装置の反応管内の所定の温度に装填し、1050℃の水素雰囲気中で5分間サーマルクリーニングを行った。次に、350℃まで基板温度を下げてからAlNのバッファ層を20nm成長し、1000℃まで昇温してから3μmのn-GaNを成長した。ドープ量は

Siである。更に、50nm厚みのn-AlGaInを成長し、700℃に基板温度を下げてInGaIn系の層(MQW構造、Well層は3層)を成長した。再度、1000℃に昇温してからMgドーパのp-AlGaIn層を30nm成長し、引き続きp-GaN層を成長した。反応管内雰囲気ガスを窒素ガスに切り替えて室温まで冷却した。

【0030】通常のフォトリソグラフィ技術、反応性イオンエッチング技術(RIE)、真空蒸着技術を使ってエピタキシャル基板を素子加工した。サファイア基板は350μmの厚みがあるので、全体を80μmになるように研磨を行った。その後、サファイア基板側からダイヤモンド刃の付いたポイントで<11-20>方向と等価な3方向にスクライブした。スクライブの偏に沿ってナイフエッジで機械的な力をかけて素子分離を行った。その結果、等価な{1-100}面で囲まれたLEDチップが作製された。

【0031】

【発明の効果】以上説明した通りの本発明の三角形の\*

\*半導体素子によれば、側周面を構成する面が{1-100}面で構成されているので、エピタキシャル成長基板からの素子分割の際、デバイスチップの各端面が均質な形状でプレーキングされる。従って、極めて高品位な側周面を備える半導体素子を得ることができ、製品の歩留まりを向上させることができる。また、三角形とすることで、キャリア注入も全面に均等に起こるために、量子効率も格段に向上させることができる。

【図面の簡単な説明】

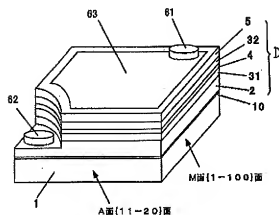
【図1】従来の矩形型GaN系LED構造を示す斜視図である。

【図2】本発明の三角形のGaN系LED構造を示す斜視図である。

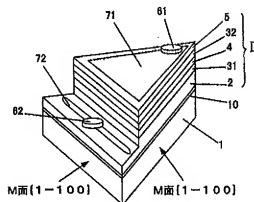
【符号の説明】

- 1 基板
- 31, 32 クラッド層
- 4 発光層
- 61, 62 ボンディング電極
- D GaN系デバイス構造部

【図1】



【図2】



フロントページの続き

(72)発明者 大内 洋一郎  
兵庫県伊丹市池尻4丁目3番地 三菱電線  
工業株式会社伊丹製作所内

Fターム(参考) 5F041 AA03 AA41 CA05 CA23 CA34  
CA40 CA46 CA65 CA74 CA76  
CA77 CA88